

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-306753

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

G11C 11/403

(21)Application number : 10-112431

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 22.04.1998

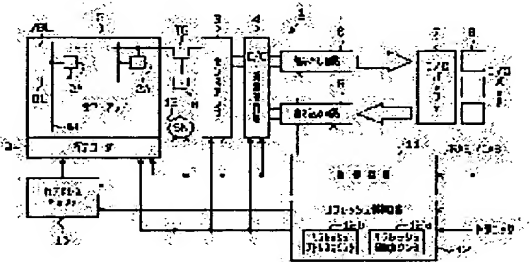
(72)Inventor : MATSUMOTO SHOICHIRO

(54) SEMICONDUCTOR STORAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor storage that is a DRAM and at the same time requires no control regarding refreshing operation at a memory user side.

SOLUTION: A refresh control circuit 12 being provided in a DRAM 1 with a plurality of sub arrays 2 has a refresh activation counter 12a for generating a refresh period based on an external clock, a refresh address counter 12b for generating the refresh column address of the sub array 2, and the like. The refresh control circuit 12 controls refresh operation according to the counters 12a and 12b. At the same time, when the sub array 2 for performing the refreshing operation becomes the same as the sub array 2 during normal access, the refreshing operation is made by once changing to other sub arrays 2. At that time, the refreshing operation is controlled in parallel with normal memory access.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A semiconductor memory which performs refresh actuation of a memory cell, without needing an external refresh control signal.

[Claim 2] A semiconductor memory equipped with a self-excitation refresh means to perform said refresh control action in self-excitation inside, in a semiconductor memory which needs refresh control action of a memory cell.

[Claim 3] Said self-excitation refresh means is a transfer gate transistor prepared between sense amplifiers which amplify read-out data from a memory cell array and this memory cell array, said sense amplifier and said transfer gate transistor, and a semiconductor memory according to claim 2 had and constituted [control circuit / usual read-out / write-in actuation, and / independently controllable] in line decoding of a memory cell array.

[Claim 4] Said control circuit is a semiconductor memory according to claim 3 which performs refresh to a memory cell array which faced refreshing the same memory cell array as an activated memory cell array, avoided a memory cell array to which read-out / write-in actuation is performed, was once refreshed for other memory cell arrays, is a next refresh cycle and was not refreshed previously.

[Claim 5] Said self-excitation refresh means is a transfer gate transistor prepared between a latch circuit for latching an output of a sense amplifier which amplifies read-out data from a memory cell array, and said sense amplifier and latch circuit, said sense amplifier and said transfer gate transistor, said latch circuit, and a semiconductor memory according to claim 2 had and constituted [control circuit / usual read-out / write-in actuation, and / independently controllable] in line decoding of a memory cell array.

[Claim 6] Said control circuit is a semiconductor memory according to claim 5 which activates word lines other than this word line while making off a transfer gate transistor which latched the data to said latch circuit, and considered selectively a transfer gate transistor corresponding to a word line activated as this ON after that as ON in parallel to refresh actuation of an arbitration memory cell array.

[Claim 7] Said control circuit is a semiconductor memory according to claim 5 or 6 which activates word lines other than this word line while making off a transfer gate transistor which faced refreshing the same memory cell array as an activated memory cell array, latched the data to said latch circuit, and considered selectively a transfer gate transistor corresponding to a word line activated as this ON after that as ON.

[Claim 8] Said self-excitation refresh means is a transfer gate transistor prepared between a sense amplifier which amplifies read-out data from the data line of a couple outputted to a 2-way of a memory cell array to each **, and each [these] sense amplifier and a memory cell array, said sense amplifier and said transfer gate transistor, and a semiconductor memory according to claim 2 had and constituted [control circuit / usual read-out / write-in actuation, and / independently controllable] in line decoding of a memory cell array.

[Claim 9] Said control circuit is a semiconductor memory according to claim 8 which confines the data in one side of said sense amplifier in parallel to refresh actuation of an arbitration memory cell array as selectively off in a transfer gate transistor corresponding to a word line activated, and activates word lines other than this word line after that.

[Claim 10] Said control circuit is a semiconductor memory according to claim 8 or 9 which faces refreshing the same memory cell array as an activated memory cell array, confines the data in one side of said sense

- amplifier as selectively off in a transfer gate transistor corresponding to a word line activated, and activates word lines other than this word line after that.

[Claim 11] Said control circuit is a semiconductor memory given in any 1 term of claims 3-10 which make this word line inactive based on reaching potential which a word line of a memory cell array for read-out is activated, and is sufficient for bit line potential to be restored.

[Claim 12] Said self-excitation refresh means is a semiconductor memory given in any 1 term of claims 2-11 which are equipped with a counter which counts an internal timer or an external clock, and start refresh actuation based on a timer value of this internal timer, or counted value of a counter.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the refresh technology of dynamic random access memory in detail about a semiconductor memory.

[0002]

[Description of the Prior Art] Conventionally, the users (system implementer etc.) of DRAM create a refresh control circuit separately on a system board, and refresh control of dynamic random access memory (it is only hereafter described as DRAM) is performed from this refresh control circuit by inputting refresh control signals (an address signal, command signal, etc.) into DRAM, as shown in drawing 11 . What is shown below, for example is known as the concrete refresh control system. In addition, suppose that "/" is attached and expressed before the name of the signal which serves as the object in the logical NOT of a signal in the following publications.

[0003] (1) What supplies a refresh address to the ROR (/RAS (Row Address Strobe) ONRI refresh) method DRAM from the exterior.

(2) That in which a CBR (/CAS (Column Address Strobe) before / RAS refresh) method refresh counter is built, and DRAM generates a refresh address automatically. At the time of refresh actuation /RAS Timing of /CAS is made into the time of normal operation, and reverse. As for many, this CBR method is used.

[0004] (3) That which made it possible in addition to a self refresh method above-mentioned CBR refresh function to build in a refresh timer and to refresh automatically at the time of deadline. Especially, it is adopted at the time of cell backup.

[0005] moreover, as technology which controls refresh actuation from the exterior of DRAM in this way For example, "the refresh control system of a memory system" indicated by JP,5-342863,A, "The refresh circuit and the refresh method" of DRAM which were indicated by JP,5-347093,A, The "refresh method of DRAM" indicated by JP,6-84356,A, the "memory access control unit" indicated by JP,6-309870,A, etc. are known.

[0006] however, these methods, equipment, or a method -- be -- in controlling refresh actuation of DRAM, each needs to input a refresh control signal into this DRAM from the DRAM exterior.

[0007]

[Problem(s) to be Solved by the Invention] By the way, if it is in the refresh control of DRAM which must be performed by inputting a necessary signal from the outside in this way, constraint as shown below cannot be disregarded, either.

[0008] "I" It is necessary to prepare a refresh control circuit for a user side circuit, and the mounting area for these circuits must be secured to a system board etc.

"RO" A user has to make the number of control signals, its timing, etc. have to correspond to the specification of DRAM to be used, and has to design a refresh control circuit for them.

[0009] "Ha" In order to perform refresh actuation, the time zone which cannot access DRAM periodically exists and the degradation on a system is not avoided. That is, the engine-performance loss (rate of a busy) accompanying refresh actuation exists.

[0010] "NI" In order to avoid the degradation on the system resulting from the rate of a busy of Above DRAM, the cure for improvement in processing speed, such as parallel processing, is needed. This invention

is made in view of such the actual condition, and the place made into that object is to offer a semiconductor memory without the need of performing entirely control which starts refresh actuation by the memory user side, though it is DRAM.

[0011]

[Means for Solving the Problem] In order to attain the above-mentioned object, let it be the summary to perform refresh actuation of a memory cell, without needing an external refresh control signal in invention of a semiconductor memory according to claim 1.

[0012] Moreover, let it be the summary to have a self-excitation refresh means to perform said refresh control action in self-excitation inside in invention of a semiconductor memory according to claim 2 in a semiconductor memory which needs refresh control action of a memory cell.

[0013] Moreover, in invention according to claim 3, said self-excitation refresh means makes it the summary to have and constitute line decoding of a transfer gate transistor prepared between sense amplifiers which amplify read-out data from a memory cell array and this memory cell array, said sense amplifier and said transfer gate transistor, and a memory cell array in usual read-out / write-in actuation, and an independently controllable control circuit in a semiconductor memory according to claim 2.

[0014] Moreover, let it be the summary to perform refresh to a memory cell array which faced refreshing the same memory cell array as a memory cell array by which said control circuit was activated in a semiconductor memory according to claim 3, avoided a memory cell array to which read-out / write-in actuation is performed, was once refreshed for other memory cell arrays by invention according to claim 4, is a next refresh cycle and was not refreshed previously.

[0015] In invention according to claim 5, it sets to a semiconductor memory according to claim 2. Moreover, said self-excitation refresh means A latch circuit for latching an output of a sense amplifier which amplifies read-out data from a memory cell array, A transfer gate transistor prepared between said sense amplifiers and latch circuits, Let it be the summary to have and constitute line decoding of said sense amplifier, said transfer gate transistor, said latch circuit, and a memory cell array in usual read-out / write-in actuation, and an independently controllable control circuit.

[0016] Moreover, in invention according to claim 6, in a semiconductor memory according to claim 5, said control circuit makes it the summary to activate word lines other than this word line while making off a transfer gate transistor which latched the data to said latch circuit, and considered selectively a transfer gate transistor corresponding to a word line activated as this ON after that as ON in parallel to refresh actuation of an arbitration memory cell array.

[0017] In invention according to claim 7, it sets to a semiconductor memory according to claim 5 or 6. Moreover, said control circuit It faces refreshing the same memory cell array as an activated memory cell array. The data is selectively latched for a transfer gate transistor corresponding to a word line activated to said latch circuit as ON. Then, while making off a transfer gate transistor considered as this ON, let it be the summary to activate word lines other than this word line.

[0018] In invention according to claim 8, it sets to a semiconductor memory according to claim 2. Moreover, said self-excitation refresh means A sense amplifier which amplifies read-out data from the data line of a couple outputted to a 2-way of a memory cell array to each **, A transfer gate transistor prepared between each [these] sense amplifier and a memory cell array, Let it be the summary to have and constitute line decoding of said sense amplifier, said transfer gate transistor, and a memory cell array in usual read-out / write-in actuation, and an independently controllable control circuit.

[0019] Moreover, in invention according to claim 9, in a semiconductor memory according to claim 8, said control circuit confines the data in one side of said sense amplifier in parallel to refresh actuation of an arbitration memory cell array as selectively off in a transfer gate transistor corresponding to a word line activated, and makes it the summary to activate word lines other than this word line after that.

[0020] Moreover, it faces that said control circuit is refreshed for the same memory cell array as an activated memory cell array in a semiconductor memory according to claim 8 or 9 at invention according to claim 10, and the data is confined in one side of said sense amplifier as selectively off in a transfer gate transistor corresponding to a word line activated, and let it be the summary to activate word lines other

than this word line after that.

[0021] Moreover, let it be the summary to make this word line inactive based on reaching potential to which a word line of a memory cell array for read-out is activated, and invention according to claim 11 is sufficient for bit line potential in a semiconductor memory given in any 1 term of claims 3-10 to be restored.

[0022] Moreover, in invention according to claim 12, in a semiconductor memory given in any 1 term of claims 2-11, said self-excitation refresh means is equipped with a counter which counts an internal timer or an external clock, and makes it the summary to start refresh actuation based on a timer value of this internal timer, or counted value of a counter.

[0023]

[Embodiment of the Invention] The gestalt of operation of the 1st of the semiconductor memory concerning this invention is explained to details based on drawing 1 - drawing 3 below [the gestalt of the 1st operation].

[0024] Drawing 1 is the Grock circuit diagram showing roughly the internal configuration of DRAM concerning the gestalt of operation of **** 1. DRAM1 has the memory cell array section (graphic display abbreviation) which consists of two or more memory cells. This memory cell array section consists of the sub array of N individual divided by the predetermined number of partitions N, and shows one of the sub arrays 2 (memory cell array) of it in this drawing 1. This sub array 2 consists of two or more memory cell 2A arranged in the shape of [of a mxn individual] a matrix. And each memory cell 2A is connected to any one for writing in/reading and carrying out stored data of the clinch form bit line pair (BL/BL) while connecting with any one word line WL of the word line WL which consists of m. In addition, although n pairs of this bit line pair (BL/BL) are prepared in the sub array 2, it shows only one pair in drawing 1. n memory cell 2A is connected to each word line WL, and m memory cell 2A is connected to each bit line pair (BL/BL), respectively. Moreover, to each bit line pair (BL/BL), although a dummy cell, a precharge circuit, etc. are connected, the graphic display is omitted in this drawing 1.

[0025] Moreover, the transfer gate transistor (it is only hereafter described as a transistor) TG is connected to the end of each bit line pair (BL/BL). And the sense amplifier 3 which senses the read-out data of memory cell 2A is connected to each bit line pair (BL/BL) through these transistors TG. It writes in this sense amplifier 3 through I/O (I/O) and the train control circuit 4, a circuit 5 and a readout circuitry 6 are connected, and writing of the data to memory cell 2A and read-out of the data from memory cell 2A are performed by these circuits 5 and 6 grades.

[0026] And the circuit 5 write-in [these] and the readout circuitry 6 are connected to the I/O (I/O) pad 8 through the I/O (I/O) buffer 7. In addition, the details are omitted, although a train selection line, a train decoder, etc. are prepared in said I/O and train control circuit 4 and the selection control of a sense amplifier 3 etc. is performed. Moreover, the class of activation signal with which said transistor TG is inputted into this transistor TG by the switch 13 is switched.

[0027] Moreover, the line address buffer 10 is connected to connection, now the companion decoder 9 for the line decoder 9 which decodes the line address to said sub array 2, and chooses one word line WL as it. In addition, in the gestalt of this operation, the predetermined number of bits from the most significant of the line address signal inputted into this line address buffer 10 is used as a selection signal Sa of the sub array 2. For example, if 2 bits of most significant are made into the sub array selection signal Sa, selection of four sub arrays 2 will be attained with this sub array selection signal Sa. And the word line WL of each sub array 2 is chosen in the remaining bits of a line address signal.

[0028] And as shown in drawing 1, various control signals are inputted into said sense amplifier 3, Transistor TG, I/O and a train control circuit 4, the line decoder 9, line address buffer 10 grade, and each part of the above DRAM 1 from a control circuit 11, and writing / read-out control of the usual memory access, i.e., memory data, are performed.

[0029] moreover, this usual memory data carries out writing / reading appearance, each part of the above DRAM 1 is controlled independently of control, and the refresh control circuit 12 which performs refresh actuation of all memory cell 2A that constitutes DRAM1 is formed. Therefore, as shown in drawing 1,

various control signals are inputted into said sense amplifier 3, Transistor TG, and each part of the line decoder 9 grade above DRAM 1 from the refresh control circuit 12 as well as said control circuit 11.

[0030] Refresh starting counter 12a, refresh address counter 12b, etc. are prepared in this refresh control circuit 12. Said refresh starting counter 12a counts external clocks, such as a system clock inputted into DRAM1, and measures the starting timing of refresh actuation. Moreover, refresh address counter 12b generates the refresh subarray selection signal S_r which chooses the sub array 2 to refresh while generating the refresh line address of each sub array 2. This refresh subarray selection signal S_r is generated like the selection signal S_a of said sub array 2 from the predetermined number of bits from the most significant of a refresh line address. in addition -- these control circuits 11 and the refresh control circuit 12 -- the above /RAS -- and -- External synchronization clocks and address signals, such as /CAS, are inputted.

[0031] Next, refresh actuation of DRAM1 constituted in this way is explained with reference to drawing 2 and drawing 3. Drawing 2 is the flow chart which shows the procedure of the refresh control in the gestalt of operation of **** 1, and these processings are performed in self-excitation based on control of said refresh control circuit 12. It says that refresh control action is performed only by the internal configuration of DRAM1 without needing a special refresh control signal in any way from the outside of DRAM1 as self-excitation-like [here]. In addition, this refresh control is started after a power supply is supplied to DRAM1.

[0032] First, in step S1 shown in drawing 2, decision whether the time amount T_{st} by which DRAM1 is not accessed, i.e., the time amount which has DRAM1 in a standby condition, (only henceforth standby time amount) exceeded the self refresh period T_{self} is made. Measurement of this standby time amount T_{st} shall be performed by forming a standby time amount counter (graphic display abbreviation) in the refresh control circuit 12. Moreover, the self refresh period T_{self} is the cycle gap at which said usual self refresh cycle is performed, for example, is made into 100 microseconds (μs).

[0033] When it is judged that the standby time amount T_{st} exceeded the self refresh period T_{self} in this step S1, it shifts to step S7 and the usual self refresh cycle is performed only by the internal control of DRAM1. The internal control of this self refresh cycle is a well-known thing, and that explanation is omitted. Moreover, repeat activation of the self refresh cycle of step S7 is carried out during continuation of said standby condition. On the other hand, when the standby time amount T_{st} does not exceed the self refresh period T_{self} (i.e., when DRAM1 is in an access condition), it shifts to step S2. That is, in this step S1, decision whether it goes into a self refresh cycle or it goes into the automatic refresh cycle explained below is made. In addition, since said self refresh period T_{self} of making it shift to the here usual self refresh cycle is longer than the execution cycle of the automatic refresh cycle explained below, the way changed into said standby condition to self refresh is because the power consumption of DRAM1 can be stopped low.

[0034] In step S2, decision whether the counted value N_r of said refresh starting counter 12a reached the predetermined value A is made. This predetermined value A is determined based on the data-hold property of each memory cell 2A of DRAM1. In addition, during the standby period when DRAM1 is not accessed, a count shall be started while counted value N_r of this refresh starting counter 12a is made into an invalid and DRAM1 is accessed. Moreover, it starts a count again while zero reset of the said refresh starting counter 12a will be carried out, if that counted value N_r reaches said predetermined value A, and it repeats this actuation. Here, the period when this counted value N_r reaches said predetermined value A from zero serves as the automatic refresh period T_{auto} . Therefore, the automatic refresh period T_{auto} is set as arbitration by making an arbitration setting-out change of the counted value N_r .

[0035] Namely, automatic refresh actuation in the gestalt of this operation is dispersedly started and performed for every period T_{auto} of this. Then, only an external clock (system clock) is needed and a special refresh control signal is not needed at all from the outside of DRAM1.

[0036] In addition, if it is when [with the sufficient data-hold property of memory cell 2A] the automatic refresh period T_{auto} is larger than the self refresh period T_{self} , the above-mentioned step S1 and step S2 may be changed so that self refresh may always be performed.

[0037] When said counted value Nr has not reached the predetermined value A in this step S2, namely, when it is judged that it is not automatic refresh starting timing, it does not shift to automatic refresh actuation. On the other hand, when it is judged that counted value Nr reached the predetermined value A, it shifts to step S3 and shifts to automatic refresh actuation.

[0038] In step S3, before starting automatic refresh actuation, decision of being under access of current, data writing, etc. is made for the sub array 2 which is going to perform this refresh. When the sub array 2 is not accessing, it shifts to step S6 and refresh of memory cell 2A connected to the predetermined word line WL of this sub array 2 is performed. On the other hand, when the sub array 2 which is going to perform refresh actuation is current accessing, it shifts to step S4. In addition, decision at this step S3 establishes the coincidence detector (graphic display abbreviation) of said current sub array selection signal Sa and the refresh subarray selection signal Sr in the refresh control circuit 12, and the detection result of this coincidence detector is based and it judges it.

[0039] Then, in step S4, the data of memory cell 2A connected to the word line WL by which current selection is made in the sub array 2 which is going to perform refresh actuation is stored in a sense amplifier 3. And refresh actuation is avoided in the sub array 2 by which current selection is made, and said refresh subarray selection signal Sr is changed into other sub arrays 2 by which carry out one increment (+1) and current access is not once carried out in the sub array 2 to refresh. And it shifts to step S5 and refresh actuation of the other sub arrays 2 is performed. Then, one decrement (-1) of the refresh subarray selection signal Sr is carried out, for example, and it is made to perform refresh actuation of the sub array 2 which avoided said refresh actuation.

[0040] Next, drawing 3 (a) and drawing 3 (b) are made reference, and the above-mentioned automatic refresh actuation is explained. As the outline of the joint mode of two sub arrays 2i and 2j in the gestalt of operation of **** 1 is shown in drawing 3 (a) and it is shown in this drawing 3 (a), each sub arrays 2i and 2j are connected to I/O (I/O) and the train control circuit 4 through sense amplifiers 3i and 3j. Moreover, in addition to usual access of DRAM1, automatic refresh actuation is performed to drawing 3 (b), and the timing diagram of a case is shown in it. In addition, only as for access, in drawing 3 (b), access and automatic refresh actuation usually show the mode performed in parallel after this time of day t0 before the time of day t0 shown in this drawing.

[0041] Next, the various signals shown in drawing 3 (a) and drawing 3 (b) are explained. In the timing diagram of drawing 3 (b), REF shows a refresh signal, this refresh signal REF starts to a logic high, when the predetermined value A is reached at the time Nr of refresh starting, i.e., said counted value, and automatic refresh actuation is started with the standup of this refresh signal REF. In addition, this refresh signal REF is activated for said every automatic refresh period Tauto (logic yes).

[0042] moreover, the word line activation signal of sub array 2i shown in drawing 3 (a) -- WL_i -- the same -- the activation signal of sense amplifier 3i -- phiSA_i -- similarly the activation signal of Transistor TG_i is set to phi_{ii}. Here, the word line activation signal WL_i at the time of the read-out actuation shown in drawing 3 (b) brings down (inactivation), and timing is performed to this drawing 3 (b) earlier than this conventional inactivation timing shown with a dashed line A. A word line WL is activated, and if bit line potential reaches the potential to which data is sufficient for being restored enough, a word line WL is inactivated promptly (a line address is reset), the line address only for refreshes is made selectable, and this will be performed in order to make the shift to RIFURESSHI actuation quicken. Similarly, phiSA_j and the activation signal of Transistor TG_j are set [the word line activation signal of sub array 2j shown in drawing 3 (a)] to phi_{ij} for the activation signal of WL_j and sense amplifier 3j.

[0043] In addition, activation of these sub arrays 2i and 2j, Transistors TG_i and TG_j, and sense amplifiers 3i and 3j shall be performed based on said sub array selection signal Sa (line address).

[0044] Now, supposing the refresh signal REF starts at said time of day t0 and sub array 2i is usually in an access condition at this time, the refresh control circuit 12 will recognize this in said coincidence detector, the sub array selection signal Sa will be carried out (+1), and sub array 2j will be chosen. And as shown by the arrow head of drawing 3 (b), the word line activation signal WL_j of sub array 2j is activated, and sense amplifier 3j is continuously activated in activation signal phiSA_j. Then, activation signal phi_{ij} of Transistor

TG_j is brought down and the data of memory cell 2A connected to a word line WL_j is confined in sense amplifier 3_j. In addition, in drawing 3 (b), the time of this refresh actuation (the time of day t₀ or subsequent ones), high-speed page reading appearance is carried out, the signal wave form at the time of the mode is shown, and this shows the so-called thing [that read-out of memory data is performed by synchronization by sub arrays 2 other than sub array 2_j] to the /CAS signal. That is, refresh control by the refresh control circuit 12 is independently performed separately with the usual memory access. Therefore, it becomes possible to decrease engine-performance loss (rate of a busy) of the system accompanying refresh actuation.

[0045] In addition, if it is made to perform control which gave priority to the usual memory access, such as making refresh actuation shift to other sub arrays 2 etc., when the sub array 2 under refresh actuation has the demand of the usual memory access, it will also become possible about the rate of a busy to carry out zero.

[0046] According to the semiconductor memory of the gestalt of the 1st operation, the following effects can be acquired as explained above.

(1) According to the gestalt of this operation, an automatic refresh cycle is started based on the counted value Nr of refresh starting counter 12a. Therefore, in order to start this automatic refresh cycle, only an external clock (system clock) is needed, and a special refresh control signal is not needed at all from the outside of DRAM1. It becomes unnecessary to prepare a refresh control circuit for a user side circuit, and it becomes unnecessary consequently, to secure the mounting area for these circuits to a system board etc. A user makes the number of refresh control signals, its timing, etc. correspond to the specification of DRAM to be used, and it becomes unnecessary moreover, to design a refresh control circuit for them. Though it is DRAM, it becomes unnecessary that is, to perform entirely control which starts refresh actuation by the memory user side.

[0047] (2) According to the gestalt of this operation, it becomes possible for a line crack reason to decrease engine-performance loss (rate of a busy) of the system accompanying refresh actuation of the refresh control by the refresh control circuit 12 separate [the usual memory access], and the degradation on the system resulting from the rate of the said busy is avoided. Therefore, in order to avoid the degradation on this system, the cure for improvement in processing speed, such as parallel processing, becomes unnecessary.

[0048] (3) According to the gestalt of this operation, inactivation of the word line activation signal WLi at the time of read-out actuation is performed early conventionally. Therefore, when bit line potential reaches the potential to which data is sufficient for being restored enough, a word line WL is inactivated promptly (a line address is reset), and selection of the line address only for refreshes is attained. Consequently, the shift to refresh actuation is quickened.

[0049] (4) According to the gestalt of this operation, since the usual self refresh actuation is carried out to the standby condition of DRAM1, the power consumption of DRAM1 can be stopped low.

[0050] [the gestalt of the 2nd operation] -- drawing 4 - drawing 6 are made reference, and the gestalt of operation of the 2nd of the semiconductor memory applied to this invention next is explained focusing on a point of difference with the 1st operation gestalt. In addition, the sign same about the same configuration as the gestalt of implementation of the above 1st is attached, and the explanation is omitted.

[0051] The point of difference between the gestalt of the 2nd operation and said 1st operation gestalt is in the following points.

[1] The latch circuit 20 in which the data-hold of memory cell 2A is possible should newly be formed in the sense amplifier 3 connected to the sub array 2 through Transistor TG in configuration to be shown in drawing 4.

[0052] [2] In control, as shown in drawing 6 (b), usually let the activation signal phi of TG be a logic low level. Moreover, even if you are the case that the sub array 2 which performs refresh actuation and the sub array 2 under access are the same, refresh actuation should be performed within the same sub array 2, without once changing the sub array 2 which performs refresh actuation. Moreover, said latch circuit 20 should be controlled by the refresh control circuit 12 independently [a control circuit 11].

[0053] Hereafter, refresh actuation of the gestalt of the 2nd operation is explained with reference to drawing 5 and drawing 6. Drawing 5 is the flow chart which shows the procedure of the refresh control in the gestalt of operation of **** 2, and after a power supply is supplied to DRAM1, these processings are started while being carried out based on control of said refresh control circuit 12 like said 1st operation gestalt. Moreover, in the flow chart shown in drawing 5, since processing at step S1, step S2, and step S7 is the same as processing with the flow chart shown in previous drawing 2, it is hereafter explained from step S8 shown in drawing 5.

[0054] Now, when it is judged that the counted value Nr of refresh starting counter 12a reached the predetermined value A in step S2 of drawing 5, irrespective of whether there are a sub array 2 which performs refresh actuation, and a sub array 2 under access said 1, it shifts to step S8 and automatic refresh actuation is started. In this step S8, before starting automatic refresh actuation, the data of memory cell 2A connected to the word line WL by which current selection is made in the sub array 2 is latched to a latch circuit 20. And it shifts to step S9 and automatic refresh actuation is performed.

[0055] Next, the timing diagram shown in drawing 6 (b) explains transition of this step S2, step S8, and step S9. In addition, in this timing diagram, the case where access is usually performed with refresh actuation is shown in same sub array 2i shown in drawing 6 (a).

[0056] Suppose that the refresh signal REF starts at the time of day t0 shown in drawing 6 (b) now. Then, the data of memory cell 2A which activation signal phi_i of Transistor TG_i starts synchronizing with this, and is connected to a word line WL_i through sense amplifier 3i is confined in a latch circuit 20. Then, other word lines WL (i+x) in sub array 2i are activated, and refresh actuation of memory cell 2A connected to this word line WL (i+x) is performed. At this time, like the gestalt of said 1st operation, it closes to said latch circuit 20 in high-speed page read-out mode, and read-out of ***** memory data is performed by synchronization.

[0057] As explained above, while the effect of (1) - (4) of the gestalt of implementation of the above 1st is acquired according to the semiconductor memory of the gestalt of the 2nd operation, the still more nearly following effects can be acquired.

[0058] (5) According to the gestalt of this operation, since the latch circuit 20 was formed, even if it is the sub array 2 which performs refresh actuation, and the case that the sub array 2 under access is the same, it usually becomes possible to perform refresh actuation within the same sub array 2, without changing the sub array 2 which performs refresh actuation.

[0059] [the gestalt of the 3rd operation] -- drawing 7 - drawing 9 are made reference, and the gestalt of operation of the 3rd of the semiconductor memory applied to this invention next is explained focusing on a point of difference with the 1st operation gestalt. In addition, the sign same about the same configuration as the gestalt of implementation of the above 1st is attached, and the explanation is omitted.

[0060] The point of difference between the gestalt of the 3rd operation and said 1st operation gestalt is in the following points.

[1] In addition to the usual sense amplifier 3, the refresh sense amplifier 30 for refresh should be separately formed in the sub array 2 through Transistor TGR in configuration to be shown in drawing 7.

[0061] [2] In control, even if you are the sub array 2 which performs refresh actuation, and the case that the sub array 2 under access is the same, refresh actuation should usually be performed within the same sub array 2, without changing the sub array 2 which performs refresh actuation. Moreover, said refresh sense amplifier 30 should be controlled by the refresh control circuit 12 independently [a control circuit 11].

[0062] Hereafter, refresh actuation of the gestalt of the 3rd operation is explained with reference to drawing 8 and drawing 9. Drawing 8 is the flow chart which shows the procedure of the refresh control in the gestalt of operation of **** 3, and after a power supply is supplied to DRAM1, these processings are started while being carried out based on control of said refresh control circuit 12 like said 1st operation gestalt. Moreover, in the flow chart shown in drawing 8, since processing at step S1, step S2, and step S7 is the same as processing with the flow chart shown in previous drawing 2, it is hereafter explained from step S10 shown in drawing 8.

[0063] Now, when it is judged that the counted value Nr of refresh starting counter 12a reached the predetermined value A in step S2 of drawing 8, irrespective of whether there is usually a sub array 2 under access said 1 with the sub array 2 which performs refresh actuation, it shifts to step S10 and automatic refresh actuation is started. In this step S10, before starting automatic refresh actuation, the data of memory cell 2A connected to the word line WL by which current selection is made in sub array 2i is confined in sense amplifier 3i. And it shifts to step S11 and automatic refresh actuation is performed.

[0064] Next, the timing diagram shown in drawing 9 (b) explains transition of this step S2, step S10, and step S11. In addition, in this timing diagram, the case where access is usually performed with refresh actuation is shown in same sub array 2i shown in drawing 9 (a).

[0065] Suppose that the refresh signal REF starts at the time of day t0 shown in drawing 9 (b) now. Then, activation signal phii of Transistor TGi falls synchronizing with this, sense amplifier 3i is separated with sub array 2i, and the data of memory cell 2A connected to a word line WLi is confined in this sense amplifier 3i. Then, other word lines WL (i+x) in sub array 2i are activated, and refresh actuation of memory cell 2A connected to this word line WL (i+x) is performed using Transistor TGR and refresh sense amplifier 30i. At this time, like the gestalt of said 1st operation, it closes to said sense amplifier 3i in high-speed page read-out mode, and read-out of ***** memory data is performed by synchronization.

[0066] As explained above, while the effect of (1) – (4) of the gestalt of implementation of the above 1st is acquired according to the semiconductor memory of the gestalt of the 3rd operation, the still more nearly following effects can be acquired.

[0067] (6) According to the gestalt of this operation, since the refresh sense amplifier 30 for refresh was separately formed in the sub array 2 through Transistor TGR in addition to the usual sense amplifier 3, even if it is the sub array 2 which performs refresh actuation, and the case that the sub array 2 under access is the same, it usually becomes possible to perform refresh actuation within the same sub array 2, without changing the sub array 2 which performs refresh actuation.

[0068] [the gestalt of the 4th operation] — the gestalt of operation of the 4th of the semiconductor memory applied to this invention next is made reference, and drawing 10 is explained for it focusing on a point of difference with the 3rd operation gestalt. In addition, the sign same about the same configuration as the gestalt of implementation of the above 3rd is attached, and the explanation is omitted.

[0069] The point of difference between the gestalt of operation of **** 4 and said 3rd operation gestalt is in the following points.

[1] The refresh sense amplifiers 40h and 40i for refresh shown in previous drawing 9 (a) should be excluded in configuration to be shown in drawing 10 (a).

[0070] [2] A sense amplifier 3 should usually be shared in access and refresh actuation in control. Next, the timing diagram shown in drawing 10 (b) explains transition of the refresh actuation in the gestalt of this 4th operation. In addition, in this timing diagram, the case where access is usually performed with refresh actuation is shown in same sub array 2i shown in drawing 10 (a).

[0071] Suppose that the refresh signal REF starts at the time of day t0 shown in drawing 10 (b) now. Then, activation signal phii of Transistor TG falls synchronizing with this, sense amplifier 3i is separated with sub array 2i, and the data of memory cell 2A connected to a word line WLi is confined in this sense amplifier 3i. Then, other word lines WL (i+x) in sub array 2i are activated, and refresh actuation of memory cell 2A connected to this word line WL (i+x) is performed using Transistor TGR and (refresh) sense amplifier 3j. That is, sense amplifier 3j is used for refresh here. At this time, I/O and the train control circuit 20 shall be controlled suitably, and is closed to said sense amplifier 3i in high-speed page read-out mode like the, gestalt of said 1st operation, and read-out of ***** memory data is performed by synchronization.

[0072] As explained above, while the effect of (1) – (4) of the gestalt of implementation of the above 1st is acquired according to the semiconductor memory of the gestalt of the 4th operation, the still more nearly following effects can be acquired.

[0073] (7) According to the gestalt of this operation, a sense amplifier 3 is usually shared in access and refresh actuation. Therefore, even if it does not form the sense amplifier for refresh separately, it usually becomes possible to perform refresh actuation within the same sub array 2, without changing the sub array

2 which performs refresh actuation, and the sub array 2 to which the sub array 2 under access performs refresh actuation at the time of the same.

[0074] In addition, the gestalt of each above-mentioned implementation can also change and carry out a configuration as follows.

– In the gestalt of each above-mentioned implementation, although the example to which the usual self refresh actuation is carried out was shown at the time of standby of DRAM1, it is good also as a configuration to which said automatic self refresh actuation is carried out at the time of this standby.

[0075] – Although the example of an algorithm which performs said automatic self refresh actuation at the time of ASUSESU of DRAM1, and performs the usual self refresh in the gestalt of each above-mentioned implementation at the time of standby was shown By improvement in the manufacture process precision of memory etc., the data-hold property of a memory cell improves further. Automatic refresh period Tauto >> Self refresh period Tself When becoming, it is good irrespective of the existence of access also as an algorithm to DRAM1 which performs said automatic self refresh actuation for every fixed timing.

[0076] – In the gestalt of each above-mentioned implementation, although the example by which the automatic refresh period Tauto is generated based on the counted value Nr of refresh starting counter 12a was shown, this automatic refresh period Tauto may be made to be generated by the timer (internal reference time amount generating means) built in DRAM1. According to this configuration, all the external signals concerning refresh actuation become unnecessary.

[0077] – Although the example which constitutes separately [a control circuit 11] the control circuit which the usual memory data carries out writing / reading appearance, controls each part of DRAM1 independently of control, and performs refresh actuation from a refresh control circuit 12 was shown, you may make it constitute this from one control circuit in the gestalt of each above-mentioned implementation. In case refresh actuation is performed, if only it is the control circuit constituted controllable in each part of DRAM1 independently of the usual memory access in short, you may be what kind of gestalt.

[0078] – In the gestalt of each above-mentioned implementation, although the configuration of a bit line pair (BL/BL) in the sub array 2 was made into the clinch form, not only this but the configuration of this bit line [for example,] pair is good also as an opening form.

[0079] – In the gestalt of implementation of the above 1st, although this word line is inactivated and it enabled it to choose the line address only for refreshes while the word line was activated and the potential of the data line reached re-write-in potential at the time of refresh actuation, this is not necessarily required. Moreover, as long as it not only this but is sub arrays other than the sub array under access in short although the example which changes the sub array which carries out one increment (+1) of the refresh subarray selection signal Sr, and performs refresh actuation was shown when the sub array which performs refresh actuation, and the sub array under access are the same, which sub array is chosen and it may be made to perform refresh actuation.

[0080] Next, technical thought other than invention indicated to the claim which can be grasped from the gestalt of each above-mentioned implementation is indicated below with the effect.

(1) The semiconductor memory with which a sense amplifier is usually shared by any 1 term of claims 8–10 in memory access and refresh actuation in the semiconductor memory of a publication.

[0081] According to the configuration given in this (1), even if it does not form the sense amplifier only for refreshes, it becomes possible to perform refresh actuation within the same memory array.

[0082]

[Effect of the Invention] According to invention given in any 1 term of claims 1–12, refresh actuation is attained, without performing control which starts refresh actuation by the memory user side without needing a special refresh control signal in any way from the outside.

[0083] According to invention given in any 1 term of claims 3–12, activation of memory access and refresh actuation is usually attained in parallel. According to invention given in any 1 term of claims 5–10, activation of memory access and refresh actuation is usually attained in parallel in the same memory array.

[0084] According to invention of claim 11, the selection timing of the line address only for refreshes is

brought forward, and the shift to RIFURESSHI actuation is quickened. According to invention of claim 12, it becomes possible to decrease engine-performance loss (rate of a busy) of the system accompanying refresh actuation.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The outline block circuit diagram showing the gestalt of operation of the 1st of the semiconductor memory concerning this invention.

[Drawing 2] The flow chart which similarly shows the procedure of refresh control of the gestalt of the 1st operation.

[Drawing 3] Explanatory drawing showing the mode of refresh control of the gestalt of the 1st operation similarly.

[Drawing 4] The outline block circuit diagram showing the gestalt of operation of the 2nd of the semiconductor memory concerning this invention.

[Drawing 5] The flow chart which similarly shows the procedure of refresh control of the gestalt of the 2nd operation.

[Drawing 6] Explanatory drawing showing the mode of refresh control of the 2nd operation gestalt similarly.

[Drawing 7] The outline block circuit diagram showing the gestalt of operation of the 3rd of the semiconductor memory concerning this invention.

[Drawing 8] The flow chart which similarly shows the procedure of refresh control of the gestalt of the 3rd operation.

[Drawing 9] Explanatory drawing showing the mode of refresh control of the 3rd operation gestalt similarly.

[Drawing 10] Explanatory drawing showing the mode of refresh control of the gestalt of operation of the 4th of the semiconductor memory concerning this invention.

[Drawing 11] Explanatory drawing showing the mode of refresh control of the conventional DRAM.

[Description of Notations]

1 -- DRAM

2 -- Sub array (memory cell array)

3 -- Sense amplifier

4 -- I/O and train control circuit

9 -- Line decoder

10 -- Line address buffer

11 -- Control circuit

12 -- Refresh control circuit

12a -- Refresh starting counter

12b -- Refresh address counter

20 -- Latch circuit

30 -- Refresh sense amplifier

TR -- Transfer gate transistor

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-306753

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.⁶

G 1 1 C 11/403

識別記号

F I

G 1 1 C 11/34

3 7 1 J

審査請求 未請求 請求項の数12 O L (全 14 頁)

(21) 出願番号 特願平10-112431

(22) 出願日 平成10年(1998)4月22日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 松本 昭一郎

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

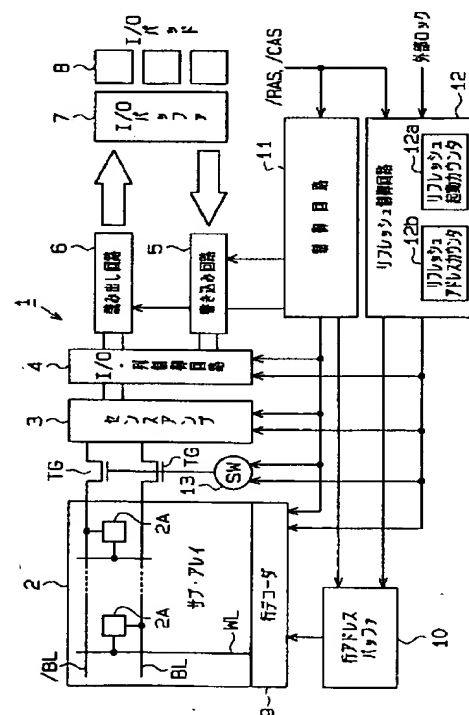
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 DRAMでありながら、メモリー側でリフレッシュ動作にかかる制御を一切行う必要のない半導体記憶装置を提供する。

【解決手段】 複数のサブ・アレイ2を有するDRAM1内に設けられるリフレッシュ制御回路12は、外部クロックに基づきリフレッシュ周期を生成するリフレッシュ起動カウンタ12a、サブ・アレイ2のリフレッシュ行アドレスを生成するリフレッシュアドレスカウンタ12b等を有して構成される。リフレッシュ制御回路12は、これらカウンタ12a、12bに基づきリフレッシュ動作の制御を行うとともに、リフレッシュ動作を行うサブ・アレイ2と通常アクセス中のサブ・アレイ2とが同一となった場合、リフレッシュ動作を他のサブ・アレイ2に一旦変更して行う。そのとき、リフレッシュ動作の制御は通常のメモリアクセスと並行して行われる。



(2)

【特許請求の範囲】

【請求項1】メモリセルのリフレッシュ動作を外部リフレッシュ制御信号を必要とすることなく行う半導体記憶装置。

【請求項2】メモリセルのリフレッシュ制御動作を必要とする半導体記憶装置において、前記リフレッシュ制御動作を内部で自立的に行う自励リフレッシュ手段を備える半導体記憶装置。

【請求項3】前記自励リフレッシュ手段は、メモリセルアレイと該メモリセルアレイからの読み出しデータを増幅するセンスアンプとの間に設けられるトランスファークロウトランジスタと、前記センスアンプ、前記トランスファークロウトランジスタ、及びメモリセルアレイの行デコードを通常の読み出し／書き込み動作と独立に制御可能な制御回路と、を備えて構成される請求項2記載の半導体記憶装置。

【請求項4】前記制御回路は、活性化されたメモリセルアレイと同一のメモリセルアレイをリフレッシュするに際し、読み出し／書き込み動作の行われているメモリセルアレイを避けて一旦他のメモリセルアレイをリフレッシュし、後のリフレッシュサイクルで、先にリフレッシュを行わなかったメモリセルアレイに対するリフレッシュを行う請求項3記載の半導体記憶装置。

【請求項5】前記自励リフレッシュ手段は、メモリセルアレイからの読み出しデータを増幅するセンスアンプの出力をラッチするためのラッチ回路と、前記センスアンプとラッチ回路との間に設けられるトランスファークロウトランジスタと、前記センスアンプ、前記トランスファークロウトランジスタ、前記ラッチ回路、及びメモリセルアレイの行デコードを通常の読み出し／書き込み動作と独立に制御可能な制御回路と、を備えて構成される請求項2記載の半導体記憶装置。

【請求項6】前記制御回路は、任意メモリセルアレイのリフレッシュ動作と並行して、活性化されているワード線に対応するトランスファークロウトランジスタを選択的にオンとしてそのデータを前記ラッチ回路にラッチし、その後、該オンとしたトランスファークロウトランジスタをオフとするとともに該ワード線以外のワード線を活性化する請求項5記載の半導体記憶装置。

【請求項7】前記制御回路は、活性化されたメモリセルアレイと同一のメモリセルアレイをリフレッシュするに際し、活性化されているワード線に対応するトランスファークロウトランジスタを選択的にオンとしてそのデータを前記ラッチ回路にラッチし、その後、該オンとしたトランスファークロウトランジスタをオフとするとともに該ワード線以外のワード線を活性化する請求項5または6記載の半導体記憶装置。

【請求項8】前記自励リフレッシュ手段は、メモリセルアレイの2方向に出力される一対のデータ線

からの読み出しデータを各別に増幅するセンスアンプと、それら各センスアンプとメモリセルアレイとの間に設けられるトランスファークロウトランジスタと、前記センスアンプ、前記トランスファークロウトランジスタ、及びメモリセルアレイの行デコードを通常の読み出し／書き込み動作と独立に制御可能な制御回路と、を備えて構成される請求項2記載の半導体記憶装置。

【請求項9】前記制御回路は、任意メモリセルアレイのリフレッシュ動作と並行して、活性化されているワード線に対応するトランスファークロウトランジスタを選択的にオフとしてそのデータを前記センスアンプの一方に閉じ込め、その後、該ワード線以外のワード線を活性化する請求項8記載の半導体記憶装置。

【請求項10】前記制御回路は、活性化されたメモリセルアレイと同一のメモリセルアレイをリフレッシュするに際し、活性化されているワード線に対応するトランスファークロウトランジスタを選択的にオフとしてそのデータを前記センスアンプの一方に閉じ込め、その後、該ワード線以外のワード線を活性化する請求項8または9記載の半導体記憶装置。

【請求項11】前記制御回路は、読み出し対象メモリセルアレイのワード線が活性化されてビット線電位がリセットされるに足る電位に到達することに基づき該ワード線を不活性とする請求項3～10のいずれか1項に記載の半導体記憶装置。

【請求項12】前記自励リフレッシュ手段は、内部タイマ若しくは外部クロックをカウントするカウンタを備え、該内部タイマのタイマ値若しくはカウンタのカウント値に基づきリフレッシュ動作を起動する請求項2～11のいずれか1項に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、詳しくはダイナミック・ランダムアクセスメモリのリフレッシュ技術に関する。

【0002】

【従来の技術】従来、ダイナミック・ランダムアクセスメモリ（以下、単にDRAMと記す）のリフレッシュ制御は、図11に示されるように、DRAMのユーザー（システム作成者等）がシステム・ボード上に別途リフレッシュ制御回路を作成し、同リフレッシュ制御回路からDRAMにリフレッシュ制御信号（アドレス信号、コマンド信号等）を入力して行われている。その具体的なリフレッシュ制御方式としては、例えば以下に示すものが知られている。なお、以下の記載においては、信号の論理否定を、その対象となる信号の名称の前に「/」を付して表わすこととする。

【0003】（1）ROR（/RAS（Row Address Strobe）オンリ・リフレッシュ）方式DRAMに外部からリ

(3)

3

フレッシュ・アドレスを供給するもの。

(2) CBR (/CAS (Column Address Strobe) ビフォア /RASリフレッシュ) 方式

リフレッシュ・カウンタを内蔵し、DRAMが自動的にリフレッシュ・アドレスを発生するもの。リフレッシュ動作時に /RASと /CASのタイミングを通常動作時と逆にする。多くは、このCBR方式が用いられる。

【0004】(3) セルフ・リフレッシュ方式

上記CBRリフレッシュ機能に加え、リフレッシュ・タイ
マを内蔵し、タイムアップ時に自動的にリフレッシュ
を行うことを可能にしたもの。特に、電池バックアップ
時に採用される。

【0005】また、このようにDRAMの外部からリフ
レッシュ動作を制御する技術としては、例えば特開平5
-342863号公報に記載された「メモリ・システム
のリフレッシュ制御方式」や、特開平5-347093
号公報に記載された「DRAMのリフレッシュ回路及び
リフレッシュ方法」や、特開平6-84356号公報に
記載された「DRAMのリフレッシュ方式」や、特開平
6-309870号公報に記載された「メモリアクセス
制御装置」等も知られている。

【0006】ただし、これら方式や装置、あるいは方法
であれ、DRAMのリフレッシュ動作を制御するにあ
たっては、いずれもDRAM外部からリフレッシュ制御信
号を同DRAMに入力する必要がある。

【0007】

【発明が解決しようとする課題】ところで、このよう
に外部から所要の信号を入力して行わざるを得ないDRA
Mのリフレッシュ制御にあつては、以下に示すような制
約も無視できないものとなっている。

【0008】「イ」 ユーザー側回路にリフレッシュ制
御回路を準備する必要があり、システムボード等に同回
路用の実装エリアを確保しなければならない。

「ロ」 ユーザーは、制御信号の数やそのタイミング
等、使用するDRAMの仕様に対応させてリフレッシュ
制御回路を設計しなければならない。

【0009】「ハ」 リフレッシュ動作を行うために、
定期的にDRAMにアクセスできない時間帯が存在し、
システム上の性能低下が避けられない。すなわち、リフ
レッシュ動作に伴う性能損失(ビジー率)が存在す
る。

【0010】「ニ」 上記DRAMのビジー率に起因す
るシステム上の性能低下を避けるためには、並列処理等
の処理速度向上のための対策が必要とされる。この発明
は、このような実情に鑑みてなされたものであり、その
目的とするところは、DRAMでありながら、メモリユ
ーザー側でリフレッシュ動作にかかる制御を一切行う必
要のない半導体記憶装置を提供することにある。

【0011】

【課題を解決するための手段】上記の目的を達成するた

4

めに、請求項1に記載の半導体記憶装置の発明では、メ
モリセルのリフレッシュ動作を外部リフレッシュ制御信
号を必要とすることなく行うことをその要旨とする。

【0012】また、請求項2に記載の半導体記憶装置の
発明では、メモリセルのリフレッシュ制御動作を必要と
する半導体記憶装置において、前記リフレッシュ制御動
作を内部で自動的に行う自励リフレッシュ手段を備える
ことをその要旨とする。

【0013】また、請求項3に記載の発明では、請求項
2記載の半導体記憶装置において、前記自励リフレッシ
ュ手段は、メモリセルアレイと該メモリセルアレイから
の読み出しデータを増幅するセンスアンプとの間に設け
られるトランスファークロウトランジスタと、前記セン
スアンプ、前記トランスファークロウトランジスタ、及
びメモリセルアレイの行デコードを通常の読み出し/書
き込み動作と独立に制御可能な制御回路と、を備えて構
成されることをその要旨とする。

【0014】また、請求項4に記載の発明では、請求項
3記載の半導体記憶装置において、前記制御回路は、活
性化されたメモリセルアレイと同一のメモリセルアレイ
をリフレッシュするに際し、読み出し/書き込み動作の
行われているメモリセルアレイを避けて一旦他のメモリ
セルアレイをリフレッシュし、後のリフレッシュサイク
ルで、先にリフレッシュを行わなかったメモリセルア
レイに対するリフレッシュを行うことをその要旨とする。

【0015】また、請求項5に記載の発明では、請求項
2記載の半導体記憶装置において、前記自励リフレッシ
ュ手段は、メモリセルアレイからの読み出しデータを増
幅するセンスアンプの出力をラッチするためのラッチ回
路と、前記センスアンプとラッチ回路との間に設けられ
るトランスファークロウトランジスタと、前記センスア
ンプ、前記トランスファークロウトランジスタ、前記ラ
ッチ回路、及びメモリセルアレイの行デコードを通常の
読み出し/書き込み動作と独立に制御可能な制御回路
と、を備えて構成されることをその要旨とする。

【0016】また、請求項6に記載の発明では、請求項
5記載の半導体記憶装置において、前記制御回路は、任
意メモリセルアレイのリフレッシュ動作と並行して、活
性化されているワード線に対応するトランスファークロ
ウトランジスタを選択的にオンとしてそのデータを前記
ラッチ回路にラッチし、その後、該オンとしたトランス
ファークロウトランジスタをオフするとともに該ワー
ド線以外のワード線を活性化することをその要旨とす
る。

【0017】また、請求項7に記載の発明では、請求項
5または6記載の半導体記憶装置において、前記制御回
路は、活性化されたメモリセルアレイと同一のメモリセ
ルアレイをリフレッシュするに際し、活性化されている
ワード線に対応するトランスファークロウトランジスタ
を選択的にオンとしてそのデータを前記ラッチ回路にラ

(4)

5

ッチし、その後、該オンとしたトランスファークロスタ
ランジスタをオフとするとともに該ワード線以外のワード
線を活性化することをその要旨とする。

【0018】また、請求項8に記載の発明では、請求項
2記載の半導体記憶装置において、前記自励リフレッシュ
手段は、メモリセルアレイの2方向に出力される一対
のデータ線からの読み出しデータを各別に増幅するセン
スアンプと、それら各センスアンプとメモリセルアレイ
との間に設けられるトランスファークロスタランジスタ
と、前記センスアンプ、前記トランスファークロスタラン
ジスタ、及びメモリセルアレイの行デコードを通常の
読み出し／書き込み動作と独立に制御可能な制御回路
と、を備えて構成されることをその要旨とする。

【0019】また、請求項9に記載の発明では、請求項
8記載の半導体記憶装置において、前記制御回路は、任
意メモリセルアレイのリフレッシュ動作と並行して、活
性化されているワード線に対応するトランスファークロ
スタランジスタを選択的にオフとしてそのデータを前記
センスアンプの一方に閉じ込め、その後、該ワード線以
外のワード線を活性化することをその要旨とする。

【0020】また、請求項10に記載の発明では、請求
項8または9記載の半導体記憶装置において、前記制御
回路は、活性化されたメモリセルアレイと同一のメモリ
セルアレイをリフレッシュするに際し、活性化されてい
るワード線に対応するトランスファークロスタランジスタ
を選択的にオフとしてそのデータを前記センスアンプ
の一方に閉じ込め、その後、該ワード線以外のワード線
を活性化することをその要旨とする。

【0021】また、請求項11に記載の発明では、請求
項3～10のいずれか1項に記載の半導体記憶装置にお
いて、読み出し対象メモリセルアレイのワード線が活性
化されてビット線電位がリストアされるに足る電位に
到達することに基づき該ワード線を不活性とすることを
その要旨とする。

【0022】また、請求項12に記載の発明では、請求
項2～11のいずれか1項に記載の半導体記憶装置にお
いて、前記自励リフレッシュ手段は、内部タイマ若しく
は外部クロックをカウントするカウンタを備え、該内部
タイマのタイマ値若しくはカウンタのカウント値に基づ
きリフレッシュ動作を起動することをその要旨とする。

【0023】

【発明の実施の形態】〔第1の実施の形態〕以下、本発
明にかかる半導体記憶装置の第1の実施の形態を、図1
～図3に基づき詳細に説明する。

【0024】図1は本第1の実施の形態にかかるDRAM
の内部構成を概略的に示すブロック回路図である。D
RAM1は、複数のメモリセルから成るメモリセル・ア
レイ部（図省略）を有している。このメモリセル・ア
レイ部は、所定分割数Nにて分割されたN個のサブ・ア
レイから成り、同図1においてはその内の1個のサブ・ア

6

レイ2（メモリセルアレイ）を示す。このサブ・アレイ
2は、例えば $m \times n$ 個の行列状に配設された複数のメモ
リセル2Aからなる。そして、各メモリセル2Aは、 m
本で構成されるワード線WLのいずれか1本のワード線
WLに接続されるとともに、記憶データを書き込み／読
み出しするための折り返し形ビット線対（BL、/BL）
の何れか1本に接続されている。なお、このビット
線対（BL、/BL）は、サブ・アレイ2の中で n 対設
けられるが、図1においては1対のみを示す。各ワード
線WLには n 個のメモリセル2Aが、また各ビット線対
（BL、/BL）には m 個のメモリセル2Aがそれぞれ
接続されている。また、各ビット線対（BL、/BL）
には、ダミーセル、プリチャージ回路等も接続されるが
同図1においてはその図示を省略する。

【0025】また、各ビット線対（BL、/BL）の一
端にはトランスファークロスタランジスタ（以下、単
にトランジスタと記す）TGが接続されている。そし
て、これらトランジスタTGを介して、各ビット線対
（BL、/BL）にはメモリセル2Aの読み出しデータ
をセンスするセンスアンプ3が接続されている。このセ
ンスアンプ3には入出力（I/O）・列制御回路4を介
して書き込み回路5及び読み出し回路6が接続され、こ
れら回路5、6等によりメモリセル2Aへのデータの書
き込み及びメモリセル2Aからのデータの読み出しが行
われる。

【0026】そして、これら書き込み回路5及び読み
出し回路6は、入出力（I/O）バッファ7を介して入出
力（I/O）パッド8に接続されている。なお、前記I
/O・列制御回路4には列選択線、列デコード等が設け
られ、センスアンプ3の選択制御等が行われるが、その
詳細は省略する。また、前記トランジスタTGは、スイ
ッチ13により同トランジスタTGに入力される活性化
信号の種類が切り換えられる。

【0027】また、前記サブ・アレイ2には、その行ア
ドレスをデコードして1本のワード線WLを選択する行
デコーダ9が接続されて、同行デコーダ9には行アドレ
ス・バッファ10が接続されている。なお、本実施の形態
においては、この行アドレス・バッファ10に入力され
る行アドレス信号の最上位からの所定ビット数をサブ・
アレイ2の選択信号Saとして利用する。例えば、最上
位2ビットをサブ・アレイ選択信号Saとすると、同サ
ブ・アレイ選択信号Saにより4個のサブ・アレイ2の
選択が可能となる。そして、行アドレス信号の残りのビ
ットで、各サブ・アレイ2のワード線WLが選択され
る。

【0028】そして、図1に示されるように、前記セン
スアンプ3、トランジスタTG、I/O・列制御回路
4、行デコーダ9、行アドレス・バッファ10等、上記
DRAM1の各部には制御回路11から各種制御信号が
入力され、通常のメモリアクセス、すなわちメモリー

(5)

7

タの書き込み／読み出し制御が行われる。

【0029】また、この通常のメモリデータの書き込み／読み出し制御とは独立に上記DRAM1の各部を制御して、DRAM1を構成する全メモリセル2Aのリフレッシュ動作を行うリフレッシュ制御回路12が設けられている。そのため、図1に示されるように、前記センスアンプ3、トランジスタTG、行デコーダ9等上記DRAM1の各部にはリフレッシュ制御回路12からも、前記制御回路11と同様に各種制御信号が入力される。

【0030】このリフレッシュ制御回路12には、リフレッシュ起動カウンタ12a、リフレッシュアドレスカウンタ12b等が設けられる。同リフレッシュ起動カウンタ12aは、DRAM1に入力されるシステムクロック等の外部クロックをカウントしてリフレッシュ動作の起動タイミングを計測する。また、リフレッシュアドレスカウンタ12bは、各サブ・アレイ2のリフレッシュ行アドレスを生成するとともに、リフレッシュするサブ・アレイ2を選択するリフレッシュ・サブアレイ選択信号Srを生成する。このリフレッシュ・サブアレイ選択信号Srは、前記サブ・アレイ2の選択信号Saと同様に、例えばリフレッシュ行アドレスの最上位からの所定ビット数から生成する。なお、これら制御回路11及びリフレッシュ制御回路12には、前記/RAS及び/CAS等の外部同期クロックやアドレス信号が入力される。

【0031】次に、このように構成されるDRAM1のリフレッシュ動作について図2及び図3を参照して説明する。図2は本第1の実施の形態におけるリフレッシュ制御の処理手順を示すフローチャートで、これらの処理は前記リフレッシュ制御回路12の制御に基づき自動的に行われる。ここで自動的にとは、DRAM1の外部から特別なりフレッシュ制御信号を何ら必要としないで、DRAM1の内部構成のみでリフレッシュ制御動作が行われることをいう。なお、このリフレッシュ制御は、DRAM1に電源が投入されたあとに開始される。

【0032】まず、図2に示すステップS1においては、DRAM1がアクセスされない時間、すなわちDRAM1がスタンバイ状態にある時間（以下、単にスタンバイ時間という）Tstが、セルフリフレッシュ周期Tselfを超えたか否かの判断がなされる。このスタンバイ時間Tstの計測は、例えばリフレッシュ制御回路12にスタンバイ時間カウンタ（図示略）を設けて行うものとする。また、セルフリフレッシュ周期Tselfは、前記通常のセルフリフレッシュ・サイクルが実行されるサイクル間隔で、例えば100マイクロ秒（ μ S）とする。

【0033】このステップS1においてスタンバイ時間Tstがセルフリフレッシュ周期Tselfを超えたと判断された場合には、ステップS7に移行し通常のセルフリフレッシュ・サイクルがDRAM1の内部制御のみで実行される。このセルフリフレッシュ・サイクルの内部制御

8

は周知のものでありその説明は省略する。また、ステップS7のセルフリフレッシュ・サイクルは前記スタンバイ状態の継続中は繰り返し実行される。一方、スタンバイ時間Tstがセルフリフレッシュ周期Tselfを超えない場合、すなわちDRAM1がアクセス状態にある場合には、ステップS2に移行する。すなわち、このステップS1においては、セルフリフレッシュ・サイクルに入るか以下に説明する自動リフレッシュ・サイクルに入るかの判断がなされる。なお、ここで通常のセルフリフレッシュ・サイクルに移行させるのは、前記セルフリフレッシュ周期Tselfが以下に説明する自動リフレッシュ・サイクルの実行周期より長い場合、前記スタンバイ状態にはセルフリフレッシュとするほうが、DRAM1の消費電力を低く抑えることができるためである。

【0034】ステップS2においては、前記リフレッシュ起動カウンタ12aのカウント値Nrが所定値Aに達したか否かの判断がなされる。この所定値Aは、DRAM1の各メモリセル2Aのデータ保持特性に基づき決定される。なお、DRAM1がアクセスされないスタンバイ期間中は、このリフレッシュ起動カウンタ12aのカウント値Nrは無効とされ、DRAM1がアクセスされるとともにカウントを開始するものとする。また、同リフレッシュ起動カウンタ12aは、そのカウント値Nrが前記所定値Aに達するとゼロリセットされるとともに再度カウントを開始し、この動作を繰り返す。ここでは、このカウント値Nrがゼロから前記所定値Aに達する期間が自動リフレッシュ周期Tautoとなる。そのため、カウント値Nrを任意設定変更することにより自動リフレッシュ周期Tautoも任意に設定される。

【0035】すなわち、本実施の形態における自動リフレッシュ動作は同周期Tauto毎に分散して起動され、実行される。そのとき、外部クロック（システムクロック）のみを必要とし、DRAM1の外部から特別なりフレッシュ制御信号を何ら必要としない。

【0036】なお、メモリセル2Aのデータ保持特性が良く自動リフレッシュ周期Tautoがセルフリフレッシュ周期Tselfより大きい場合にあっては、常にセルフリフレッシュが行われるように上記ステップS1及びステップS2を変更してもよい。

【0037】このステップS2において前記カウント値Nrが所定値Aに達していないとき、すなわち自動リフレッシュ起動タイミングでないと判断された場合には自動リフレッシュ動作には移行しない。一方、カウント値Nrが所定値Aに達したと判断された場合にはステップS3に移行し自動リフレッシュ動作に移行する。

【0038】ステップS3においては、自動リフレッシュ動作に入る前に、同リフレッシュを行おうとするサブ・アレイ2が、現在、データ書き込み等のアクセス中か否かの判断がなされる。そのサブ・アレイ2がアクセス中でない場合は、ステップS6に移行し、同サブ・アレ

(6)

9

イ2の所定ワード線WLに接続されるメモリセル2Aのリフレッシュが行われる。一方、リフレッシュ動作を行おうとするサブ・アレイ2が現在アクセス中である場合は、ステップS4に移行する。なお、このステップS3での判断は、例えばリフレッシュ制御回路12に、現在の前記サブ・アレイ選択信号Saとリフレッシュ・サブアレイ選択信号Srとの一致検出回路(図示略)を設け、同一一致検出回路の検出結果の基づき判断するようにする。

【0039】続いて、ステップS4においては、リフレッシュ動作を行おうとするサブ・アレイ2において現在選択されているワード線WLに接続されているメモリセル2Aのデータをセンスアンプ3にストアする。そして、現在選択されているサブ・アレイ2においてはリフレッシュ動作を避けて、前記リフレッシュ・サブアレイ選択信号Srを、例えば1つインクリメント(+1)して、リフレッシュするサブ・アレイ2を、一旦現在アクセスされていない他のサブ・アレイ2に変更する。そして、ステップS5に移行してこの他のサブ・アレイ2のリフレッシュ動作を行う。その後、例えばリフレッシュ・サブアレイ選択信号Srを1つデクリメント(-1)して、前記リフレッシュ動作を避けたサブ・アレイ2のリフレッシュ動作を行うようにする。

【0040】次に図3(a)及び図3(b)を参照にして、上記自動リフレッシュ動作を説明する。図3(a)には本第1の実施の形態における2個のサブ・アレイ2i, 2jの結合態様の概要が示され、同図3(a)に示されるように、各サブ・アレイ2i, 2jは、センスアンプ3i, 3jを介して入出力(I/O)・列制御回路4に接続されている。また、図3(b)には、DRAM1の通常アクセスに加え自動リフレッシュ動作が行われ場合のタイムチャートが示される。なお、図3(b)において、同図に示される時刻t0以前は通常アクセスのみ、同時刻t0以降は通常アクセスと自動リフレッシュ動作が並行して行われる態様を示す。

【0041】次に、図3(a)及び図3(b)に示される各種信号を説明する。図3(b)のタイムチャートにおいて、リフレッシュ信号をREFで示し、同リフレッシュ信号REFは、リフレッシュ起動時、すなわち前記カウント値Nrが所定値Aに達したとき論理ハイに立ち上がり、このリフレッシュ信号REFの立ち上がりとともに自動リフレッシュ動作が開始される。なお、このリフレッシュ信号REFは、前記自動リフレッシュ周期Tauto毎に活性化(論理ハイ)される。

【0042】また、図3(a)に示されるサブ・アレイ2iのワード線活性化信号をWLi、同じくセンスアンプ3iの活性化信号をφSAi、同じくトランジスタTGiの活性化信号をφiとする。ここで、図3(b)に示される読み出し動作時のワード線活性化信号WLiの立ち下げ(不活性化)タイミングは、同図3(b)に破

10

線Aにて示される従来の同不活性化タイミングより早く行われる。これは、ワード線WLが活性化されて、ビット線電位がデータが十分リストアされるに足る電位に到達したら、いち早くワード線WLを不活性化(行アドレスをリセット)してリフレッシュ専用行アドレスを選択可能とし、リフレッシュ動作への移行を迅速化させるために行われる。同じく、図3(a)に示されるサブ・アレイ2jのワード線活性化信号をWLj、センスアンプ3jの活性化信号をφSAj、トランジスタTGjの活性化信号をφjとする。

【0043】なお、これらサブ・アレイ2i, 2j、トランジスタTGi, TGj、センスアンプ3i, 3jの活性化は前記サブ・アレイ選択信号Sa(行アドレス)に基づき行われるものとする。

【0044】さて、前記時刻t0にリフレッシュ信号REFが立ち上がり、このときサブ・アレイ2iが通常アクセス状態にあるとすると、これをリフレッシュ制御回路12は前記一致検出回路にて認識して、サブ・アレイ選択信号Saを(+1)してサブ・アレイ2jを選択する。そして、図3(b)の矢印にて示されるように、サブ・アレイ2jのワード線活性化信号WLjを活性化し、続いてセンスアンプ3jを活性化信号φSAjにて活性化する。その後、トランジスタTGjの活性化信号φjを立ち下げて、ワード線WLjに接続されるメモリセル2Aのデータをセンスアンプ3jに閉じ込める。なお、図3(b)において、このリフレッシュ動作時(時刻t0以降)、/CAS信号にはいわゆる高速ページ読み出しモード時の信号波形が示され、これは、サブ・アレイ2j以外のサブ・アレイ2でメモリデータの読み出しが同時進行で行われていることを示している。すなわち、リフレッシュ制御回路12によるリフレッシュ制御は、通常のメモリアクセスとは独立して別途に行われる。そのため、リフレッシュ動作に伴うシステムの性能損失(ビジー率)を減少させることが可能となる。

【0045】なお、リフレッシュ動作中のサブ・アレイ2に通常のメモリアクセスの要求があった場合リフレッシュ動作を他のサブ・アレイ2に移行させる等、通常のメモリアクセスを優先した制御を行うようにすると、ビジー率をゼロをすることも可能となる。

【0046】以上説明したように、第1の実施の形態の半導体記憶装置によれば、以下のような効果を得ることができる。

(1) 本実施の形態によれば、リフレッシュ起動カウンタ12aのカウント値Nrに基づき自動リフレッシュ・サイクルが起動される。そのため、同自動リフレッシュ・サイクルを起動するために外部クロック(システムクロック)のみを必要とし、DRAM1の外部から特別なリフレッシュ制御信号を何ら必要としない。その結果、ユーザー側回路にリフレッシュ制御回路を準備する必要もなくなり、システムボード等に同回路用の実装エリア

(7)

11

を確保する必要もなくなる。また、ユーザーは、リフレッシュ制御信号の数やそのタイミング等、使用するDRAMの仕様に対応させてリフレッシュ制御回路を設計する必要もなくなる。すなわち、DRAMでありながら、メモリユーザー側でリフレッシュ動作にかかる制御を一切行う必要がなくなる。

【0047】(2) 本実施の形態によれば、リフレッシュ制御回路12によるリフレッシュ制御は、通常のメモリアクセスとは別途に行われたため、リフレッシュ動作に伴うシステムの性能損失（ビジー率）を減少させることが可能となり、同ビジー率に起因するシステム上の性能低下が避けられる。そのため、同システム上の性能低下を避けるために、並列処理等の処理速度向上のための対策が不要となる。

【0048】(3) 本実施の形態によれば、読み出し動作時のワード線活性化信号WL_iの不活性化が従来より早く行われる。そのため、ビット線電位がデータが十分リストアされるに足る電位に到達したとき、いち早くワード線WLを不活性化（行アドレスをリセット）し、リフレッシュ専用行アドレスの選択が可能となる。その結果、リフレッシュ動作への移行が迅速化される。

【0049】(4) 本実施の形態によれば、DRAM1のスタンバイ状態には通常のセルフリフレッシュ動作が行われるため、DRAM1の消費電力を低く抑えることができる。

【0050】[第2の実施の形態] 次に本発明にかかる半導体記憶装置の第2の実施の形態について、図4～図6を参照にして、第1の実施形態との相違点を中心に説明する。なお、上記第1の実施の形態と同様の構成については同一の符号を付してその説明を省略する。

【0051】第2の実施の形態と前記第1の実施形態との相違点は以下の点にある。

[1] 構成的には、図4に示されるように、サブ・アレイ2に接続されるセンスアンプ3にトランジスタTGを介してメモリセル2Aのデータ保持可能なラッチ回路20が新たに設けられること。

【0052】[2] 制御的には、図6(b)に示されるように、TGの活性化信号φが通常論理ローレベルとされる。また、リフレッシュ動作を行うサブ・アレイ2とアクセス中のサブ・アレイ2が同一の場合であっても、リフレッシュ動作を行うサブ・アレイ2を一旦変更することなくその同一サブ・アレイ2内でリフレッシュ動作が行われること。また、前記ラッチ回路20はリフレッシュ制御回路12によって制御回路11とは独立に制御されること。

【0053】以下、第2の実施の形態のリフレッシュ動作について図5及び図6を参照して説明する。図5は本第2の実施の形態におけるリフレッシュ制御の処理手順を示すフローチャートで、これらの処理は前記第1の実施形態と同様に前記リフレッシュ制御回路12の制御に

12

基づき行われるとともに、DRAM1に電源が投入されたあとに開始される。また、図5に示されるフローチャートにおいて、ステップS1、ステップS2、ステップS7での処理は、先の図2に示されるフローチャートでの処理と同様であるため、以下、図5に示されるステップS8から説明する。

【0054】さて、図5のステップS2においてリフレッシュ起動カウンタ12aのカウント値Nrが所定値Aに達したと判断された場合には、リフレッシュ動作を行うサブ・アレイ2とアクセス中のサブ・アレイ2が同一あるか否かにかかわらずステップS8に移行し自動リフレッシュ動作に入る。このステップS8においては、自動リフレッシュ動作に入る前に、サブ・アレイ2において現在選択されているワード線WLに接続されているメモリセル2Aのデータをラッチ回路20にラッチする。そして、ステップS9に移行し自動リフレッシュ動作が行われる。

【0055】次に、このステップS2、ステップS8、ステップS9の推移を図6(b)に示すタイムチャートにて説明する。なお、同タイムチャートにおいては、図6(a)に示される同一サブ・アレイ2iにおいて、リフレッシュ動作と通常アクセスとが行われる場合が示される。

【0056】いま、図6(b)に示す時刻t0にリフレッシュ信号REFが立ち上がりとする。すると、これに同期してトランジスタTG_iの活性化信号φ_iが立ち上がりセンスアンプ3_iを介してワード線WL_iに接続されるメモリセル2Aのデータがラッチ回路20に閉じ込められる。その後、サブ・アレイ2i中の他のワード線WL(i+x)が活性化され、このワード線WL(i+x)に接続されるメモリセル2Aのリフレッシュ動作が行われる。このとき、前記第1の実施の形態と同様に、高速ページ読み出しモードで前記ラッチ回路20に閉じ込められたメモリデータの読み出しが同時進行で行われる。

【0057】以上説明したように、第2の実施の形態の半導体記憶装置によれば、上記第1の実施の形態の

(1)～(4)の効果が得られるとともに、さらに以下のような効果を得ることができる。

【0058】(5) 本実施の形態によれば、ラッチ回路20を設けたため、リフレッシュ動作を行うサブ・アレイ2と通常アクセス中のサブ・アレイ2が同一の場合であっても、リフレッシュ動作を行うサブ・アレイ2を変更することなく同一サブ・アレイ2内でのリフレッシュ動作を行うことが可能となる。

【0059】[第3の実施の形態] 次に本発明にかかる半導体記憶装置の第3の実施の形態について、図7～図9を参照にして、第1の実施形態との相違点を中心に説明する。なお、上記第1の実施の形態と同様の構成については同一の符号を付してその説明を省略する。

(8)

13

【0060】第3の実施の形態と前記第1の実施形態との相違点は以下の点にある。

【1】構成的には、図7に示されるように、サブ・アレイ2に通常のセンスアンプ3に加えリフレッシュ用のリフレッシュ・センスアンプ30がトランジスタTGRを介して別途設けられること。

【0061】【2】制御的には、リフレッシュ動作を行うサブ・アレイ2と通常アクセス中のサブ・アレイ2が同一の場合であっても、リフレッシュ動作を行うサブ・アレイ2を変更することなくその同一サブ・アレイ2内でリフレッシュ動作が行われること。また、前記リフレッシュ・センスアンプ30はリフレッシュ制御回路12によって制御回路11とは独立に制御されること。

【0062】以下、第3の実施の形態のリフレッシュ動作について図8及び図9を参照して説明する。図8は本第3の実施の形態におけるリフレッシュ制御の処理手順を示すフローチャートで、これらの処理は前記第1の実施形態と同様に前記リフレッシュ制御回路12の制御に基づき行われるとともに、DRAM1に電源が投入されたあとに開始される。また、図8に示されるフローチャートにおいて、ステップS1、ステップS2、ステップS7での処理は、先の図2に示されるフローチャートでの処理と同様であるため、以下、図8に示されるステップS10から説明する。

【0063】さて、図8のステップS2においてリフレッシュ起動カウンタ12aのカウント値Nrが所定値Aに達したと判断された場合には、リフレッシュ動作を行うサブ・アレイ2と通常アクセス中のサブ・アレイ2が同一あるか否かにかかわらずステップS10に移行し自動リフレッシュ動作に入る。このステップS10においては、自動リフレッシュ動作に入る前に、サブ・アレイ2iにおいて現在選択されているワード線WLに接続されているメモリセル2Aのデータをセンスアンプ3iに閉じ込める。そして、ステップS11に移行し自動リフレッシュ動作が行われる。

【0064】次に、このステップS2、ステップS10、ステップS11の推移を図9(b)に示すタイムチャートにて説明する。なお、同タイムチャートにおいては、図9(a)に示される同一サブ・アレイ2iにおいて、リフレッシュ動作と通常アクセスとが行われる場合が示される。

【0065】いま、図9(b)に示す時刻t0にリフレッシュ信号REFが立ち上がるとする。すると、これに同期してトランジスタTGの活性化信号φiが立ち下がり、センスアンプ3iはサブ・アレイ2iと分離され、ワード線WLに接続されるメモリセル2Aのデータが同センスアンプ3iに閉じ込められる。その後、サブ・アレイ2i中の他のワード線WL(i+x)が活性化され、このワード線WL(i+x)に接続されるメモリセル2Aのリフレッシュ動作がトランジスタTGR及

14

びリフレッシュ・センスアンプ30iを利用して行われる。このとき、前記第1の実施の形態と同様に、高速ページ読み出しモードで前記センスアンプ3iに閉じ込められたメモリデータの読み出しが同時進行で行われる。

【0066】以上説明したように、第3の実施の形態の半導体記憶装置によれば、上記第1の実施の形態の

(1)～(4)の効果が得られるとともに、さらに以下のような効果を得ることができる。

【0067】(6)本実施の形態によれば、サブ・アレイ2に通常のセンスアンプ3に加えリフレッシュ用のリフレッシュ・センスアンプ30をトランジスタTGRを介して別途設けたため、リフレッシュ動作を行うサブ・アレイ2と通常アクセス中のサブ・アレイ2とが同一の場合であっても、リフレッシュ動作を行うサブ・アレイ2を変更することなく同一サブ・アレイ2内でのリフレッシュ動作を行うことが可能となる。

【0068】【第4の実施の形態】次に本発明にかかる半導体記憶装置の第4の実施の形態を図10を参照にして、第3の実施の形態との相違点を中心に説明する。なお、上記第3の実施の形態と同様の構成については同一の符号を付してその説明を省略する。

【0069】本第4の実施の形態と前記第3の実施の形態との相違点は以下の点にある。

【1】構成的には、図10(a)に示されるように、先の図9(a)に示されるリフレッシュ用のリフレッシュ・センスアンプ40h、40iが省かれていること。

【0070】【2】制御的には、センスアンプ3が通常アクセスとリフレッシュ動作とで共用されること。次に、この第4の実施の形態におけるリフレッシュ動作の推移を図10(b)に示すタイムチャートにて説明する。なお、同タイムチャートにおいては、図10(a)に示される同一サブ・アレイ2iにおいて、リフレッシュ動作と通常アクセスとが行われる場合が示される。

【0071】いま、図10(b)に示す時刻t0にリフレッシュ信号REFが立ち上がるとする。すると、これに同期してトランジスタTGの活性化信号φiが立ち下がり、センスアンプ3iはサブ・アレイ2iと分離され、ワード線WLに接続されるメモリセル2Aのデータが同センスアンプ3iに閉じ込められる。その後、サブ・アレイ2i中の他のワード線WL(i+x)が活性化され、このワード線WL(i+x)に接続されるメモリセル2Aのリフレッシュ動作がトランジスタTGR及び(リフレッシュ)センスアンプ3jを利用して行われる。すなわち、ここではセンスアンプ3jがリフレッシュ用に使用される。このとき、1/O・列制御回路20は適宜制御されるものとし、また、前記第1の実施の形態と同様に、高速ページ読み出しモードで前記センスアンプ3iに閉じ込められたメモリデータの読み出しが同時進行で行われる。

【0072】以上説明したように、第4の実施の形態の

(9)

15

半導体記憶装置によれば、上記第1の実施の形態の

(1)～(4)の効果が得られるとともに、さらに以下のような効果を得ることができる。

【0073】(7)本実施の形態によれば、センスアンプ3が通常アクセスとリフレッシュ動作とで共用される。そのため、別途リフレッシュ用のセンスアンプを設けなくとも、リフレッシュ動作を行うサブ・アレイ2と通常アクセス中のサブ・アレイ2が同一時、リフレッシュ動作を行うサブ・アレイ2を変更することなく同一サブ・アレイ2内でのリフレッシュ動作を行うことが可能となる。

【0074】なお、上記各実施の形態は以下のように構成を変更して実施することもできる。

・ 上記各実施の形態においては、DRAM1のスタンバイ時には通常のセルフリフレッシュ動作が行われる例を示したが、同スタンバイ時においても前記自動セルフリフレッシュ動作が行われる構成としてもよい。

【0075】・ 上記各実施の形態においては、DRAM1のアセス時には前記自動セルフリフレッシュ動作を行い、スタンバイ時には通常のセルフリフレッシュを行うアルゴリズム例を示したが、メモリの製造プロセス精度の向上等により、さらにメモリセルのデータ保持特性が向上し、自動リフレッシュ周期 T_{auto} ≫ セルフリフレッシュ周期 T_{self} となる場合には、DRAM1へのアクセスの有無にかかわらず一定タイミング毎に前記自動セルフリフレッシュ動作を行うアルゴリズムとしてもよい。

【0076】・ 上記各実施の形態においては、自動リフレッシュ周期 T_{auto} がリフレッシュ起動カウンタ12aのカウント値 N_r に基づき生成される例を示したが、この自動リフレッシュ周期 T_{auto} は、DRAM1に内蔵されたタイマ(内部基準時間発生手段)により生成されるようにしてもよい。この構成によれば、リフレッシュ動作にかかる一切の外部信号が不要となる。

【0077】・ 上記各実施の形態においては、通常のメモリデータの書き込み/読み出し制御とは独立にDRAM1の各部を制御してリフレッシュ動作を行う制御回路を、制御回路11とは別途にリフレッシュ制御回路12にて構成する例を示したが、これを1つの制御回路で構成するようにしてもよい。要は、リフレッシュ動作を行う際、通常のメモリアクセスとは独立にDRAM1の各部を制御可能に構成された制御回路でありさえすればいかなる形態であってもよい。

【0078】・ 上記各実施の形態においては、サブ・アレイ2内のビット線対(BL、/BL)の構成を折り返し形としたがこれに限らず、例えば同ビット線対の構成はオープン形としてもよい。

【0079】・ 上記第1の実施の形態においては、リフレッシュ動作時、ワード線が活性化されてデータ線の電位が再書き込み電位に達するとともに該ワード線を不

16

活性化し、リフレッシュ専用行アドレスを選択できるようにしたが、これは必ずしも必要ではない。また、リフレッシュ動作を行うサブ・アレイとアクセス中のサブ・アレイが同一の場合、リフレッシュ・サブアレイ選択信号 S_r を1つインクリメント(+1)してリフレッシュ動作を行うサブ・アレイを変更する例を示したがこれに限らず、要はアクセス中のサブ・アレイ以外のサブ・アレイであれば、どのサブ・アレイを選択してリフレッシュ動作を行うようにしてもよい。

【0080】次に、上記各実施の形態から把握できる請求項に記載した発明以外の技術的思想について、その効果とともに以下に記載する。

(1)請求項8～10のいずれか1項に記載の半導体記憶装置において、センスアンプが通常メモリアクセスとリフレッシュ動作とで共用される半導体記憶装置。

【0081】この(1)に記載の構成によれば、リフレッシュ専用のセンスアンプを設けなくとも、同一メモリアレイ内でのリフレッシュ動作を行うことが可能となる。

【0082】

【発明の効果】請求項1～12のいずれか1項に記載の発明によれば、外部から特別なリフレッシュ制御信号を何ら必要としないで、すなわちメモリユーザー側でリフレッシュ動作にかかる制御を行うことなしにリフレッシュ動作が可能となる。

【0083】請求項3～12のいずれか1項に記載の発明によれば、通常メモリアクセスとリフレッシュ動作が並行して実行可能となる。請求項5～10のいずれか1項に記載の発明によれば、同一メモリアレイ内において、通常メモリアクセスとリフレッシュ動作が並行して実行可能となる。

【0084】請求項11の発明によれば、リフレッシュ専用行アドレスの選択タイミングを早め、リフレッシュ動作への移行が迅速化される。請求項12の発明によれば、リフレッシュ動作に伴うシステムの性能損失(ビジー率)を減少させることが可能となる。

【図面の簡単な説明】

【図1】この発明にかかる半導体記憶装置の第1の実施の形態を示す概略ブロック回路図。

【図2】同じく第1の実施の形態のリフレッシュ制御の処理手順を示すフローチャート。

【図3】同じく第1の実施の形態のリフレッシュ制御の態様を示す説明図。

【図4】この発明にかかる半導体記憶装置の第2の実施の形態を示す概略ブロック回路図。

【図5】同じく第2の実施の形態のリフレッシュ制御の処理手順を示すフローチャート。

【図6】同じく第2の実施形態のリフレッシュ制御の態様を示す説明図。

【図7】この発明にかかる半導体記憶装置の第3の実施

(10)

17

18

の形態を示す概略ブロック回路図。

【図8】同じく第3の実施の形態のリフレッシュ制御の処理手順を示すフローチャート。

【図9】同じく第3の実施形態のリフレッシュ制御の態様を示す説明図。

【図10】この発明にかかる半導体記憶装置の第4の実施の形態のリフレッシュ制御の態様を示す説明図。

【図11】従来のDRAMのリフレッシュ制御の態様を示す説明図。

【符号の説明】

1…DRAM

2…サブ・アレイ (メモリセルアレイ)

3…センスアンプ

4…入出力・列制御回路

9…行デコーダ

10…行アドレス・バッファ

11…制御回路

12…リフレッシュ制御回路

12a…リフレッシュ起動カウンタ

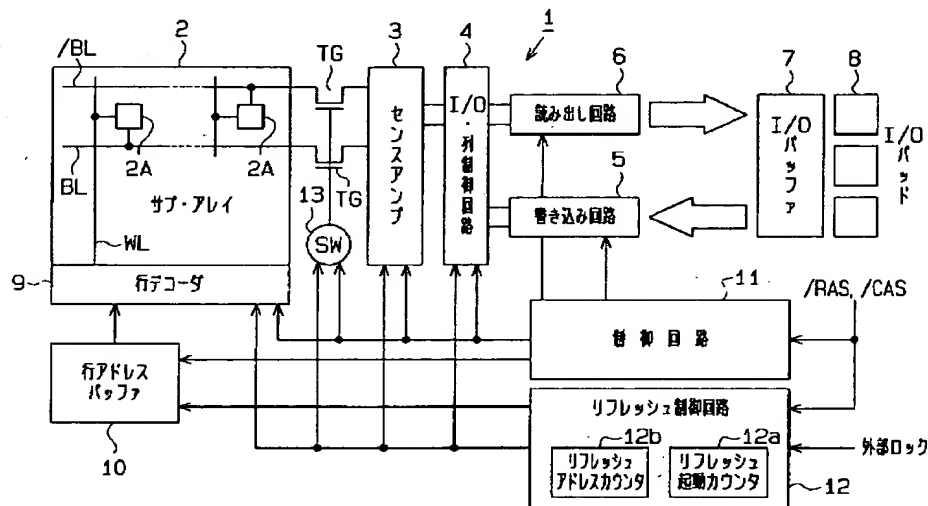
12b…リフレッシュ・アドレスカウンタ

20…ラッチ回路

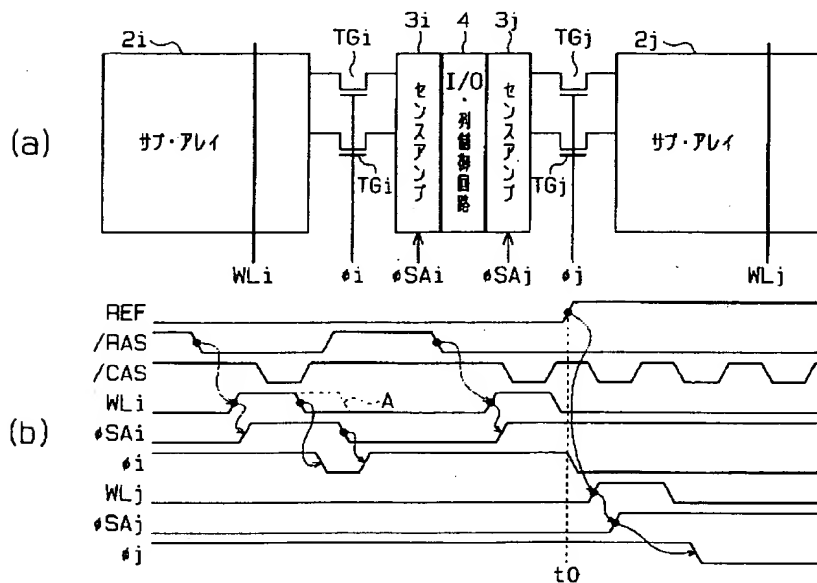
30…リフレッシュ・センスアンプ

TR…トランスファーゲート・トランジスタ

【図1】

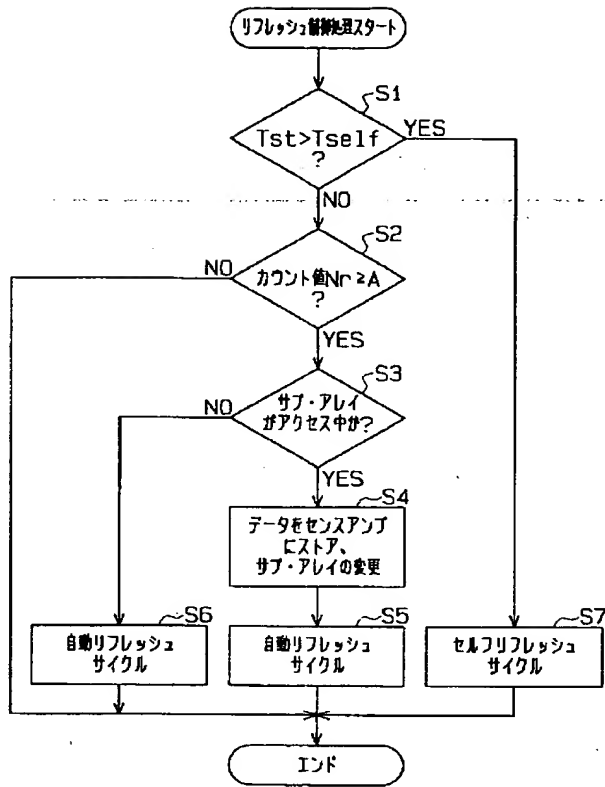


【図3】

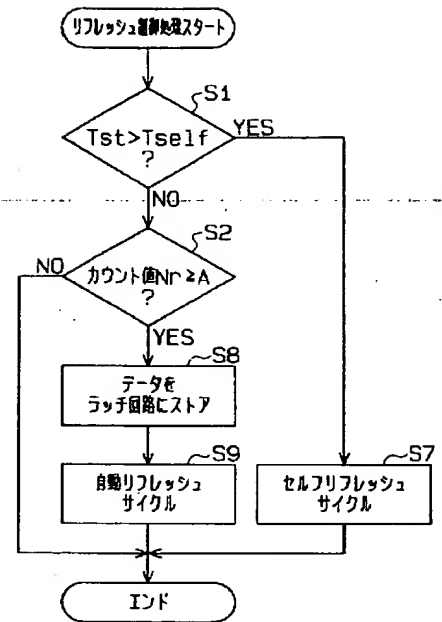


(11)

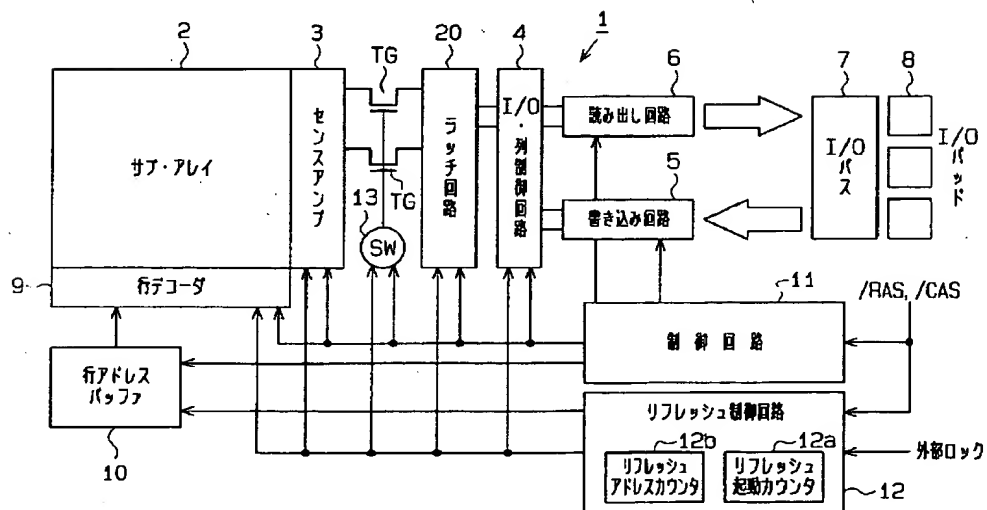
【図2】



【図5】

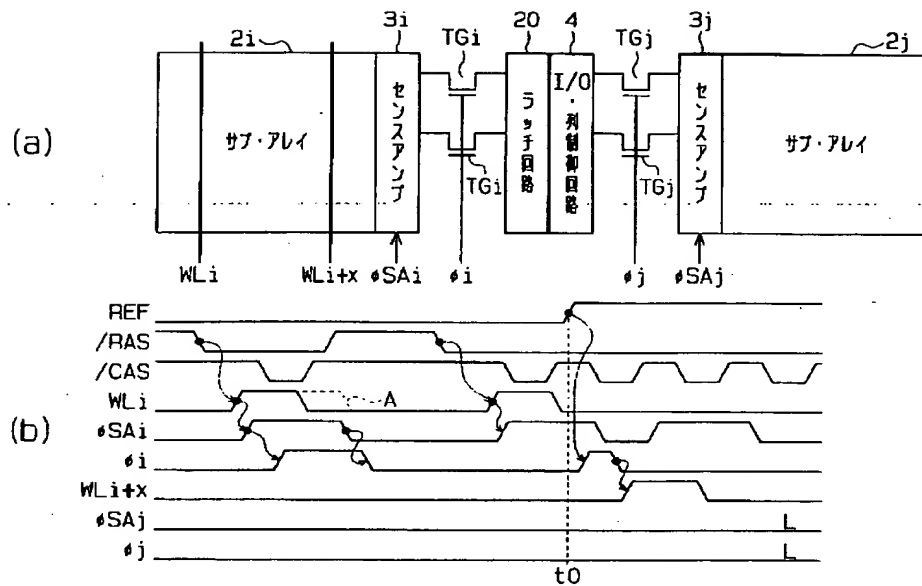


【図4】

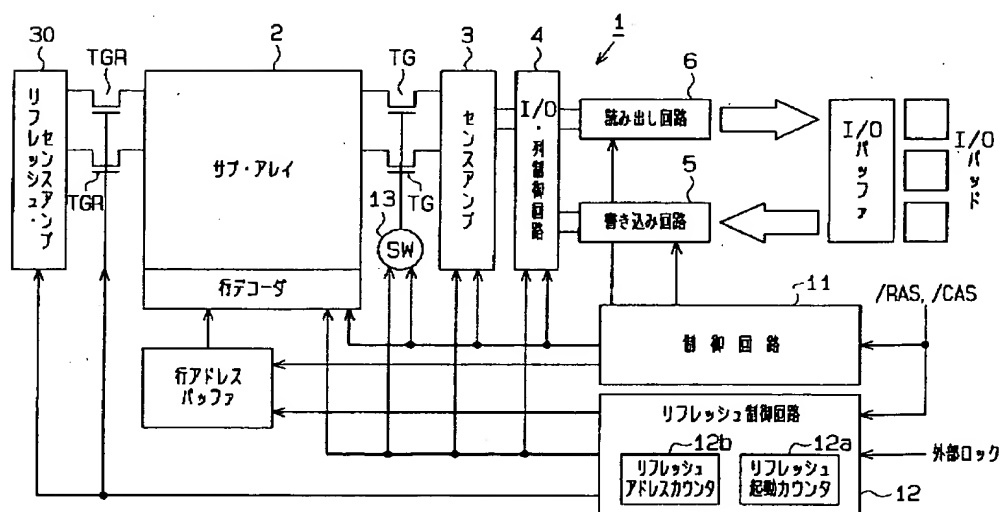


(12)

【図6】

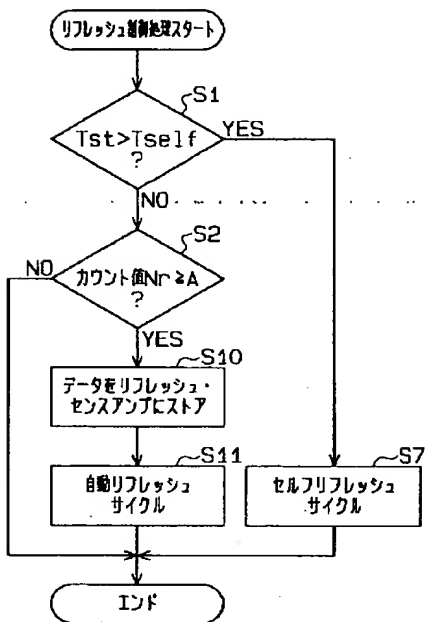


【図7】

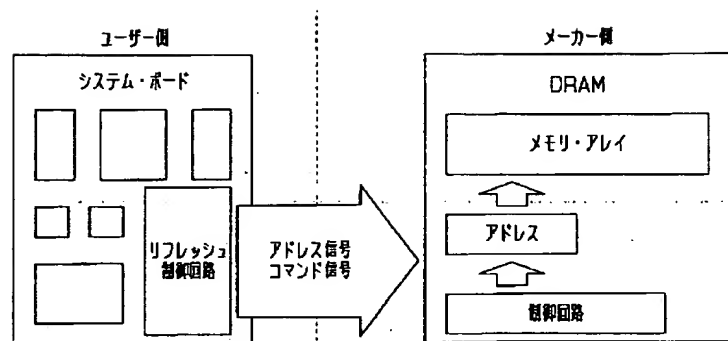


(13)

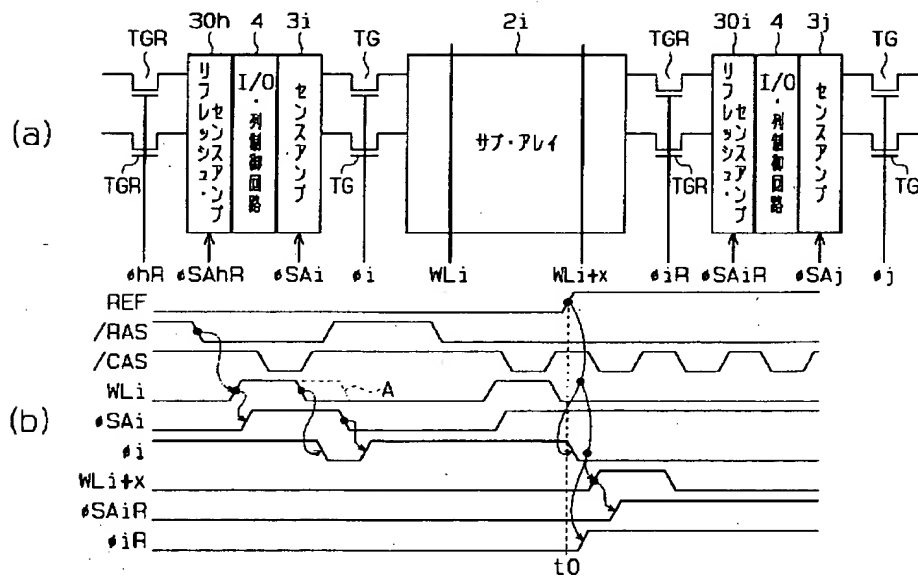
【図8】



【図11】



【図9】



(14)

【図10】

